



Atty. Docket No.: 96790.P382

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the application of:

Satoshi Shigematsu, Hiroki Morimura

Serial No.: 10/059,488

Assigned Filing Date: January 28, 2002

For: DATA CONVERSION/OUTPUT APPARATUS

PRIORITY DOCUMENT SUBMITTAL

Hon. Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Dear Sir:

Submitted herewith is a document upon which Applicant respectfully requests a convention priority for the above-captioned application, namely Japanese Patent Application No. 2001-020993 filed January 30, 2001.

Respectfully submitted,

BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN

Dated: 4/10/02

By:

Eric S. Hyman, Reg. No. 30,139

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231 on 4-10-02.

Melissa Stead 4-10-02
Melissa Stead Date

12400 Wilshire Boulevard
Seventh Floor
Los Angeles, California 90025
(310) 207-3800



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月30日

出願番号

Application Number:

特願2001-020993

[ST.10/C]:

[JP2001-020993]

出願人

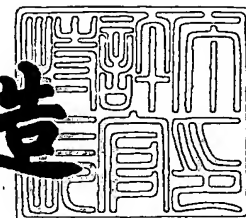
Applicant(s):

日本電信電話株式会社

2002年 3月 5日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3013634

【書類名】 特許願

【整理番号】 NTTH126872

【提出日】 平成13年 1月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06K 9/00

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 重松 智志

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 森村 浩季

【特許出願人】

 【識別番号】 000004226

 【氏名又は名称】 日本電信電話株式会社

【代理人】

 【識別番号】 100064621

 【弁理士】

 【氏名又は名称】 山川 政樹

 【電話番号】 03-3580-0961

【手数料の表示】

 【予納台帳番号】 006194

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9701512

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ変換・出力装置

【特許請求の範囲】

【請求項 1】 マトリクス状に配置された複数のピクセルから、これらピクセルごとに設けられているセンサでの検出結果を読み取り、所定のセンシングデータに変換して出力するデータ変換・出力装置であって、

前記各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、

前記各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、

内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、

前記各行ごとに設けられ、当該行に対応するデータバスのレベル変化に応じて前記カウンタからのカウント値を保持する複数のラッチ回路と、

前記列デコーダで選択された各ピクセルのうち所望のピクセルが配置されている行を選択する行デコーダと、

前記各行ごとに設けられ、前記行デコーダによる当該行の選択に応じて、当該行に対応するラッチ回路で保持されているカウント値を前記所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、

前記各ピクセルは、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点から前記センサの出力電圧値に応じた時間だけ経過した後に出力レベルを変化させる電圧－時間変換回路と、前記列デコーダによる当該ピクセルの選択に応じて前記電圧－時間変換回路の出力を当該ピクセルに接続されている前記データバスに出力する列スイッチとを有することを特徴とするデータ変換・出力装置。

【請求項 2】 請求項 1 記載のデータ変換・出力装置において、

前記カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備え、

前記各ラッチ回路に代えて、前記各行ごとに設けられ、前記クロック発生回路からのクロック信号をカウントしそのカウント値を当該行スイッチへ出力する複

数の行カウンタを備え、

さらに、前記各行ごとに設けられ、当該データバスの出力レベルに基づき前記クロック発生回路からのクロック信号に対する当該行カウンタへの出力制御を行うゲート回路を備えることを特徴とするデータ変換・出力装置。

【請求項 3】 請求項 1 または 2 記載のデータ変換・出力装置において、

前記各行ごとに当該ラッチ回路と当該行スイッチとの間に設けられ、所定のデータ取り込み信号に応じて当該ラッチ回路の出力を保持して当該スイッチへ出力する複数の後段ラッチ回路をさらに備えることを特徴とするデータ変換・出力装置。

【請求項 4】 マトリクス状に配置された複数のピクセルから、これらピクセルごとに設けられているセンサでの検出結果を読み取り、所定のセンシングデータに変換して出力するデータ変換・出力装置であって、

前記各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、

前記各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、

内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、

前記列デコーダで選択された各ピクセルのうち所望のピクセルが配置されている行を選択する行デコーダと、

前記各行ごとに設けられ、前記行デコーダによる当該行の選択に応じて、当該データバスへ出力されているカウント値を前記所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、

前記各ピクセルは、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点から前記センサの出力電圧値に応じた時間だけ経過した後に出レベルを変化させる電圧-時間変換回路と、この電圧-時間変換回路による出力レベル変化に応じて前記カウンタからのカウント値を保持するラッチ回路と、前記列デコーダによる当該ピクセルの選択に応じて前記ラッチ回路の出力を当該ピクセルに接続されている前記データバスに出力する列スイッチとを有することを特徴とするデータ変換・出力装置。

【請求項 5】 請求項 4 記載のデータ変換・出力装置において、

前記カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備え、

前記各ピクセルは、前記クロック発生回路からのクロック信号に基づきカウント動作し、そのカウント値を前記ラッチ回路へ出力するピクセルカウンタを有することを特徴とするデータ変換・出力装置。

【請求項 6】 請求項 4 記載のデータ変換・出力装置において、

前記カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備え、

前記各ピクセルは、前記クロック発生回路からのクロック信号をカウントしそのカウント値を当該列スイッチへ出力するピクセルカウンタを備え、

さらに、前記各ピクセルごとに設けられ、当該電圧－時間変換回路の出力レベルに基づき前記クロック発生回路からのクロック信号に対する当該ピクセルカウンタへの出力制御を行うゲート回路を備えることを特徴とするデータ変換・出力装置。

【請求項 7】 請求項 1、3 または 4 記載のデータ変換・出力装置において

前記カウンタは、前記電圧－時間変換回路の変換動作開始時点からずれた時点で前記カウント動作を開始することを特徴とするデータ変換・出力装置。

【請求項 8】 請求項 2 記載のデータ変換・出力装置において、

前記行カウンタは、前記電圧－時間変換回路の変換動作開始時点からずれた時点で前記カウント動作を開始することを特徴とするデータ変換・出力装置。

【請求項 9】 請求項 5 または 6 記載のデータ変換・出力装置において、

前記ピクセルカウンタは、前記電圧－時間変換回路の変換動作開始時点からずれた時点で前記カウント動作を開始することを特徴とするデータ変換・出力装置。

【請求項 10】 請求項 2 または 5 記載のデータ変換・出力装置において、

前記クロック発生回路は、前記電圧－時間変換回路の変換動作開始時点からずれた時点で前記クロック信号の出力を開始することを特徴とするデータ変換・出

力装置。

【請求項 1 1】 請求項 1、3 または 4 記載のデータ変換・出力装置において、

前記カウンタにおけるカウント動作の速度を制御するカウント制御回路をさらに備えることを特徴とするデータ変換・出力装置。

【請求項 1 2】 請求項 2 記載のデータ変換・出力装置において、

前記行カウンタにおけるカウント動作の速度を制御するカウント制御回路をさらに備えることを特徴とするデータ変換・出力装置。

【請求項 1 3】 請求項 5 または 6 記載のデータ変換・出力装置において、

前記各ピクセルは、前記ピクセルカウンタにおけるカウント動作の速度を制御するカウント制御回路をさらに有することを特徴とするデータ変換・出力装置。

【請求項 1 4】 請求項 2 または 5 記載のデータ変換・出力装置において、

前記クロック発生回路から出力されるクロック信号の周波数を切り替え制御することを特徴とするデータ変換・出力装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、データ変換・出力装置に関し、特に光や容量を検出するセンサを複数配置したセンサアレイにおいて、各センサがセンシングしたデータをデジタル値に変換して出力するデータ変換・出力装置に関するものである。

【0 0 0 2】

【従来の技術】

近年、光や容量を検出するセンサを複数配置したセンサアレイとして、図 1 0 に示すような、光や指紋の形状等を検出するセンサ 6 1 を搭載したピクセル 6 0 をマトリクス状に複数配置し、画像や指紋を読み取る光センサや指紋センサなどのセンサアレイが数多く開発されている。

これらセンサアレイでは、各ピクセル内のセンサで検出したアナログデータをデジタルデータに変換し、ピクセル・アレイ 5 0 外に出力する必要がある、各センサがセンシングしたデータをデジタル値に変換して出力するための各種データ

変換・出力装置が提案されている。

【0003】

従来のデータ変換・出力装置として、第1の従来例を図11に示す（例えば、D. Renshowら「ASIC VISION」Digest of IEEE Custom Integrated Circuits Conference 1990など参照）。この図11の例では、各ピクセル60内にセンサ61とスイッチ63が搭載され、このピクセル60がマトリクス状に配置される。このピクセル60内のスイッチ63は、列デコーダ72からの信号により制御され、センサ61と各行のピクセル60で供用するデータバス74に接続される。

このデータバス74には、もう1つのスイッチ75が接続され、このスイッチ75を介してA/D変換器79に接続される。このスイッチ75は、行デコーダ73からの信号により制御される。

【0004】

このデータ変換・出力装置では、光などをセンサ60で検出した後、読み取りたい列のアドレスを列デコーダ72に入力し、列デコーダ72は入力された列のピクセル60内のスイッチ63を閉じる信号を送出する。

選択された列のセンサ61は検出したアナログデータを各行で供用するデータバス74に出力する。次に読み取りたい行のアドレスを行デコーダ73に入力し、行デコーダ73はデータバス74に接続したスイッチ75を閉じる信号を送出する。

【0005】

これにより、選択されたデータバス74はA/D変換器79に接続され、データバス74に出力されていたアナログデータがA/D変換器79に入力される。

A/D変換器79は、入力されたアナログデータをデジタルデータに変換し、センシングデータとして外部に出力する。

この動作を全ての列と行に対して行うことにより読み取られた全データをデジタルデータに変換し外部に出力することが可能となる。

【0006】

また、第2の従来例を図12に示す（例えば、A.Simoniら「A Digital Camera for Machine Vision」Conference on Industrial Electronics, Control and

Instrumentation, 1994など参照)。

この図12の例では、上記した第1の従来例の各行のピクセル60で供用するデータバス74が、比較回路78に入力され、この比較回路78のもう一方の入力には、D/A変換器80の出力が入力される。このD/A変換器80の入力にはカウンタ76の出力が接続され、このカウンタ76の出力は各ラッチ回路77にも入力される。

このラッチ回路77の読み取り信号には比較回路78の出力が入力される。また、ラッチ回路77の出力はスイッチ75を介し外部に出力され、このスイッチ75は行デコーダ73からの信号により制御される。

【0007】

このデータ変換・出力装置では、光などをセンサ61で検出した後、読み取りたい列のアドレスを列デコーダ72に入力し、列デコーダ72は入力した列のピクセル内のスイッチを閉じる信号を送出する。選択された列のセンサ61は検出したアナログデータを各行で供用するデータバス74を介して比較回路78に出力する。

次に、カウンタ76が最小値から最大値までデータを増加させ出力する。このカウンタの出力はD/A変換器80に入力され、このD/A変換器80はカウント値に対応し階段状に大きくなるアナログデータを出力する。

【0008】

比較回路78は、このD/A変換器80が出力するアナログデータと、センサから出力されたアナログデータとを比較し、その大きさが一致したとき、読み取り信号をラッチ回路77に送出する。ラッチ回路77には、カウンタ76の出力が入力され、比較回路78から読み取り信号が送出されると、その時のカウント値が保持される。

次に、読み取りたい行のアドレスを行デコーダ73に入力し、行デコーダ73はラッチ回路77に接続したスイッチ75を閉じる信号を送出する。選択された行のラッチ回路77の出力は、スイッチ75を介しセンシングデータとして外部に出力する。

この動作を全ての列と行に対して行うことにより読み取られた全データをデジ

タルデータに変換し外部に出力することが可能となる。

【0009】

【発明が解決しようとする課題】

しかしながら、このような従来のデータ変換・出力装置では、次のようないくつかの課題がある。

まず、前述した第1の例では、各ピクセルで検出されたデータが1つずつA/D変換器で変換されるため、全ピクセルのデータを変換し出力するためには長い時間が必要とされるという問題点があった。また、アナログデータが長い経路と多くの素子を介して伝達されるため、ノイズ等による検出データの劣化の可能性も高い。

【0010】

一方、前述した第2の例では、センサで検出したアナログデータと比較する基準アナログデータがD/A変換器で生成されるため、出力されるデータのダイナミックレンジ、解像度および精度などがこのD/A変換器の精度に制限されてしまうという問題点があった。また、アナログデータを比較する比較回路の精度や各比較回路間のばらつきによっても出力データが劣化してしまう可能性がある。

本発明はこのような課題を解決するためのものであり、センサ出力に対してノイズ等の影響による精度の劣化を防ぐことができ、また高速、高精度、広ダイナミックレンジでデジタルデータに変換して出力できるデータ変換・出力装置を提供することを目的としている。

【0011】

【課題を解決するための手段】

このような目的を達成するために、本発明にかかるデータ変換・出力装置は、マトリクス状に配置された複数のピクセルから、これらピクセルごとに設けられているセンサでの検出結果を読み取り、所定のセンシングデータに変換して出力するデータ変換・出力装置であって、各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、各行ごとに設けられ、

当該行に対応するデータバスのレベル変化に応じてカウンタからのカウント値を保持する複数のラッチ回路と、列デコーダで選択された各ピクセルのうち所望のピクセルが配置されている行を選択する行デコーダと、各行ごとに設けられ、行デコーダによる当該行の選択に応じて、当該行に対応するラッチ回路で保持されているカウント値を所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、各ピクセルに、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点からセンサの出力電圧値に応じた時間だけ経過した後出力レベルを変化させる電圧－時間変換回路と、列デコーダによる当該ピクセルの選択に応じて電圧－時間変換回路の出力を当該ピクセルに接続されているデータバスに出力する列スイッチとを設けたものである。

【 0 0 1 2 】

また、カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備えるとともに、各ラッチ回路に代えて、各行ごとに設けられ、クロック発生回路からのクロック信号をカウントしそのカウント値を当該行スイッチへ出力する複数の行カウンタを備え、さらに、各行ごとに設けられ、当該データバスの出力レベルに基づきクロック発生回路からのクロック信号に対する当該行カウンタへの出力制御を行うゲート回路を備えてもよい。

さらに、各行ごとに当該ラッチ回路と当該行スイッチとの間に、所定のデータ取り込み信号に応じて当該ラッチ回路の出力を保持して当該スイッチへ出力する複数の後段ラッチ回路を設けてもよい。

【 0 0 1 3 】

また、本発明の他のデータ変換・出力装置は、マトリクス状に配置された複数のピクセルから、これらピクセルごとに設けられているセンサでの検出結果を読み取り、所定のセンシングデータに変換して出力するデータ変換・出力装置であって、各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、列デコーダで選択された各ピクセルのうち所望のピクセルが配置されている行を選択する行デコーダと、各行ごとに設けられ、行デコ

ーダによる当該行の選択に応じて、当該データバスへ出力されているカウント値を所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、各ピクセルに、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点からセンサの出力電圧値に応じた時間だけ経過した後に出力レベルを変化させる電圧－時間変換回路と、この電圧－時間変換回路による出力レベル変化に応じてカウンタからのカウント値を保持するラッチ回路と、列デコーダによる当該ピクセルの選択に応じてラッチ回路の出力を当該ピクセルに接続されているデータバスに出力する列スイッチとを設けたものである。

【 0 0 1 4 】

また、カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備え、各ピクセルに、クロック発生回路からのクロック信号に基づきカウント動作し、そのカウント値をラッチ回路へ出力するピクセルカウンタを設けてもよい。

また、カウンタに代えて、所定周波数のクロック信号を出力するクロック発生回路を備えるとともに、各ピクセルは、クロック発生回路からのクロック信号をカウントしそのカウント値を当該列スイッチへ出力するピクセルカウンタを備え、各ピクセルごとに、当該電圧－時間変換回路の出力レベルに基づきクロック発生回路からのクロック信号に対する当該ピクセルカウンタへの出力制御を行うゲート回路を設けてもよい。

【 0 0 1 5 】

センシングデータに対して所定のオフセットを与える場合、カウンタで、電圧－時間変換回路の変換動作開始時点からずれた時点でカウント動作を開始するようにしてもよく、行カウンタで、電圧－時間変換回路の変換動作開始時点からずれた時点でカウント動作を開始するようにしてもよい。

また、ピクセルカウンタで、電圧－時間変換回路の変換動作開始時点からずれた時点でカウント動作を開始するようにしてもよい。

さらに、クロック発生回路で、電圧－時間変換回路の変換動作開始時点からずれた時点でクロック信号の出力を開始するようにしてもよい。

【 0 0 1 6 】

センサの検出結果をセンシングデータへ変換する際の変換感度を調整する場合は、カウンタにおけるカウント動作の速度を制御するカウント制御回路をさらに設けてもよく、行カウンタにおけるカウント動作の速度を制御するカウント制御回路をさらに設けてもよい。

また、各ピクセルに、ピクセルカウンタにおけるカウント動作の速度を制御するカウント制御回路を設けてもよい。

さらに、クロック発生回路から出力されるクロック信号の周波数を切り替え制御するようにしてもよい。

【 0 0 1 7 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

〔第 1 の実施の形態〕

図 1 は本発明の第 1 の実施の形態にかかるデータ変換・出力装置のブロック図である。

このデータ変換・出力装置には、ピクセル・アレイ 10 内にマトリクス状に複数配置されたピクセル 1 と、列デコーダ 2、行デコーダ 3、データバス 4、スイッチ（行スイッチ） 5、カウンタ 6 およびラッチ回路 7 とが設けられている。

【 0 0 1 8 】

各ピクセル 1 には、センサ 11、電圧－時間変換回路 12 およびスイッチ（列スイッチ） 13 が設けられている。

このスイッチ 13 は、列デコーダ 2 からの信号により列単位で制御される。電圧－時間変換回路 12 は、センサ 11 から出力されたアナログデータを、遅延時間により 1 ビットのデジタルデータに変換する。例えば、このデジタルデータは、入力電圧が高い場合、電圧－時間変換回路 12 の出力は変換開始から比較的短い時間で L から H へレベル変化し、入力電圧が低い場合は変換開始から比較的長い時間で L から H へレベル変化する。

【 0 0 1 9 】

各電圧－時間変換回路 12 の出力は、スイッチ 13 を介してデータバス 4 に出力される。同じ行に配置されている各ピクセル 1 は同一のデータバス 4 に接続さ

れ、行ごとにデータバス 4 を供用する。

各行のデータバス 4 は、行ごとに設けられたラッチ回路 7 の読み取り信号として入力される。また、このラッチ回路 7 にはカウンタ 6 の出力が接続され、ラッチ回路 7 の読み取り信号によりカウンタ 6 から出力されたカウント値を保持する。ラッチ回路 7 の出力はスイッチ 5 を介しセンシングデータとして外部に出力される。このスイッチ 5 は、行デコーダ 3 からの信号により制御される。

【 0 0 2 0 】

この構成では、各ピクセル 1 の検出結果を示すアナログデータは列単位に出力処理される。まず、全面または一部分のピクセル 1 のセンサ 1 1 により光や容量等の検出が行われ、検出したアナログデータがセンサ 1 1 から出力される。

次に、読み出しを行うピクセル 1 の列に対するアドレスが列デコーダ 2 に入力され、これに対応する列のピクセル 1 内のスイッチ 1 3 への信号がアクティブとなり、選択された列のピクセル 1 内のスイッチ 1 3 がオン状態になる。

この後、所定の外部信号や列デコーダ 2 からスイッチ 1 3 への信号を契機として、カウンタ 6 のカウント動作が始まると同時に、選択された列のピクセル 1 内の電圧－時間変換回路 1 2 が動作を開始し、そのセンサ 1 1 の出力する電圧に対応した遅延時間だけ経過した後、電圧－時間変換回路 1 2 の出力が L から H にレベル変化する。

【 0 0 2 1 】

電圧－時間変換回路 1 2 の出力は、スイッチ 1 3 からデータバス 4 を介してラッチ回路 7 へ読み取り信号として入力され、ラッチ回路 7 はこの読み取り信号が H レベルに変わった時点で、カウンタ 6 の出力するカウント値を保持する。

すべてのラッチ回路 7 がカウント値の読み取りを行った後、行デコーダ 3 へ入力する行アドレスを 1 から順に変化させることで、それぞれ選択された行のスイッチ 5 がオンとなり、その行のラッチ回路 7 に保持されたカウント値が、センサ 1 1 からのアナログデータをデジタル化したセンシングデータとして外部に出力される。この出力を全行、全列に対して行うことで、全ピクセル 1 のセンサ 1 1 で検出したデータのデジタルデータへの変換と外部への出力が可能となる。

【 0 0 2 2 】

本実施の形態の具体的な動作を図 2 に示す。図 2 (a) は、時間の経過に対するカウンタ 6 の出力するカウント値を示したグラフであり、図 2 (b)、図 2 (c) はそれぞれセンサ 1 1 の出力電圧が高いピクセルおよび低いピクセルにおける電圧－時間変換回路 1 2 の出力をそれぞれ示したグラフである。

時刻 T 1 において、カウンタ 6 の動作が開始されカウント値が増加しだすと同時に、各ピクセル内の電圧－時間変換回路 1 2 の動作が開始される。

【 0 0 2 3 】

センサ 1 1 の出力電圧が高いピクセル A では、図 2 (b) に示すように、電圧－時間変換回路 1 2 の出力が変換開始から比較的短い時間経過後に早めに L から H にレベル変化する。

このとき、そのピクセル 1 に対応するラッチ回路 7 は、ピクセル A の出力が H レベルへ変化したときカウンタ 6 が出力しているカウント値 N A を読み取り保持する。

【 0 0 2 4 】

一方、センサ 1 1 の出力電圧の低いセンサ B では、図 2 (c) に示すように、ラッチ回路の出力が変換開始から比較的長い時間経過後に遅めに L から H にレベル変化する。

このピクセル B に対するラッチ回路 7 は、ピクセル B の出力が H レベルへ変化したときカウンタ 6 が出力しているカウント値 N B を保持する。

これらラッチ回路 7 が保持したカウント値 N A、N B が、センサ 1 1 からのアナログデータに対するデジタルデータとなり、外部に出力される。

【 0 0 2 5 】

このように、電圧－時間変換回路 1 2 とカウント値を保持するラッチ回路 7 とを組み合わせることにより、データバス 4 を介して長距離伝搬する信号を H または L レベルの 1 ビットデジタル信号とすることが可能となり、ノイズ等の影響による精度の劣化を防ぐことが可能となる。

また、従来のように比較回路のための基準信号等が不要であり、カウンタはピクセル・アレイ 1 0 とは独立して動作させることができるため、その最大値やカウント値増加の傾きを任意に調節可能であり、高解像度、広ダイナミックレンジ

でデータ変換が可能となる。

【 0 0 2 6 】

[第 2 の実施の形態]

次に、図 3 を参照して、本発明にかかる第 2 の実施の形態について説明する。

図 3 に第 2 の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態は、上記第 1 の実施の形態において、行ごとに設置していたラッチ回路 7 に代えて、全ピクセル 1 で共用していたカウンタ 6 を新たなカウンタ（行カウンタ）6 A として各行に設置するようにしたものである。

そして、クロック発生回路 8 が発生したクロック信号を各行へ分配し、そのクロック信号とデータバス 4 とを行ごとの AND 回路（ゲート回路）9 に入力し、この AND 回路 9 の出力を各行のカウンタ 6 A のクロックとして入力するようにしたものである。

【 0 0 2 7 】

AND 回路 9 は、データバス 4 上の信号が L レベルである時、入力されたクロック信号をそのまま出力し、データバス 4 上の信号が H レベルである時は、L レベルを出力する回路である。

この実施の形態では、第 1 の実施の形態と同様に、データの出力は列単位に行われる。まず、全面または一部分のピクセル 1 のセンサ 1 1 により光や容量等の検出が行われ、検出したアナログデータがセンサ 1 1 から出力される。次に、読み出しを行うピクセル 1 の列に対するアドレスが列デコーダ 2 に入力され、これに対応する列のピクセル 1 内のスイッチ 1 3 への信号がアクティブとなる。これにより、選択された列のピクセル 1 内のスイッチ 1 3 がオン状態になり、これらピクセル 1 の電圧－時間変換回路 1 2 の出力がデータバスに接続される。

【 0 0 2 8 】

この後、クロック信号の発生が始まると同時に、選択された列のピクセル 1 内の電圧－時間変換回路 1 2 が変換動作を開始し、センサ 1 1 の出力する電圧に対応した時点で、データバス 4 上の信号が L から H にレベル変化する。

ピクセル 1 内の電圧－時間変換回路 1 2 の出力が L レベルである間は、AND 回路 9 を介してそのピクセル 1 が属する行のカウンタ 6 A へクロック信号が入力

され、カウント動作が継続される。

電圧－時間変換回路 1 2 の出力が H レベルになると、AND 回路 9 により、その行のカウンタ 6 A へのクロック信号が L レベルとなり、カウント動作が停止する。全行のカウンタ 6 A の動作が停止すると、その列に対するセンシングが終了する。

【 0 0 2 9 】

その後、行デコーダ 3 へ入力する行アドレスを 1 から順に変化させることで、選択された行のスイッチ 5 がオンとなり、カウンタ 6 A に保持されたカウント値が外部に、検出データをデジタル化したセンシングデータとして出力される。この出力動作を全行、全列に対して行うことで、全てのピクセルのセンサで検出したデータのデジタルデータへの変換と外部への出力が可能となる。

【 0 0 3 0 】

この実施の形態によれば、カウント値ではなく、クロック信号だけを各列に分配しているため、多ビットのカウント値を分配する手法に比べ、分配に必要な電力を削減することが可能である。また、カウンタ 6 A でラッチ回路の動作も行うことで、別途ラッチ回路が不要であり回路規模の削減が可能である。

【 0 0 3 1 】

〔第 3 の実施の形態〕

次に、図 4 を参照して、本発明にかかる第 3 の実施の形態について説明する。図 4 に第 3 の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態は、上記第 1 の実施の形態において、各行ごとに設置されたラッチ回路からなる前段ラッチ回路 7 A とその出力を選択するスイッチ 5 との間に、各行ごとに設置されたラッチ回路からなる後段ラッチ回路 7 B を挿入したものである。

後段ラッチ回路 7 B は、外部から与えられるデータ取り込み信号で、その前段ラッチ回路 7 A の出力を保持する。センサ 1 1 の動作から前段ラッチ回路 7 A でのカウント値取り込み動作までは第 1 の実施の形態同様である。

【 0 0 3 2 】

前段ラッチ回路 7 A のすべてのラッチ回路がカウント値を読み取ったあと、デ

ータ取り込み信号を後段ラッチ回路 7 B に与えると、後段ラッチ回路 7 B は、前段ラッチ回路 7 A が保持しているカウント値（アナログデータをデジタルデータに変換した結果）を読み取って保持する。

この後、行アドレスを行デコーダ 3 へ与え、スイッチ 5 を順にオンにしていくことで、変換したデータを外部に出力することが可能である。このとき、変換したデータは後段ラッチ回路 7 B で保持されているため、前段ラッチ回路 7 A は、データ保持動作から解放され、次の列に対する変換動作を行うことが可能である。

【 0 0 3 3 】

つまり、この方式にすることで、データの変換と変換データの外部への出力とをパイプライン動作的に並列に行うことができ、多くの列の検出データを変換・出力する場合、その動作時間を大きく削減することが可能となり、高速なセンシング動作が実現される。

なお、本実施の形態は、上記第 2 の実施の形態にも適用できる。その際、各後段ラッチ回路 7 B は、各カウンタ 6 A とスイッチ 5 との間に挿入すればよい。

【 0 0 3 4 】

〔第 4 の実施の形態〕

次に、図 5 を参照して、本発明にかかる第 4 の実施の形態について説明する。図 5 に第 4 の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態は、上記第 1 の実施の形態において、行ごとに設置していたラッチ回路 7 を新たなラッチ回路 1 4 として各ピクセル 1 内に設置したものである。そして、各ピクセル 1 内の電圧－時間変換回路 1 2 の出力をラッチ回路 1 4 の読み取り信号として直接入力するとともに、カウンタ 6 の生成するカウント信号を全ピクセルのラッチ回路 1 4 へ分配するようにしたものである。

【 0 0 3 5 】

この場合、まず、各ピクセル 1 内のセンサ 1 1 で光等の検出が行われ、その検出出力であるアナログデータが電圧－時間変換回路 1 2 に入力される。そして電圧－時間変換回路 1 2 で変換動作を開始し、カウンタ 6 のカウント動作も開始する。

変換動作に応じて各ピクセル 1 の電圧－時間変換回路 1 2 が H レベルを出力すると、ラッチ回路 1 4 がその時点でカウンタ 6 から分配されたカウント値を保持する。すべてのピクセル 1 内のラッチ回路 1 4 がそれぞれカウント値を保持すると、センシングが終了する。このあと、前述と同様にしてデータを出力するピクセルの列アドレスと行アドレスを指定することで、センサで検出されデジタルデータに変換された結果が出力される。

【 0 0 3 6 】

この実施の形態によれば、全ピクセルで並列して同時に検出からデジタルデータへの変換までが行われるため、列ごとに変換を行う方式に比べ高速な動作が実現される。また、データの出力では、行単位ではなく任意のピクセルのデータを出力することも可能である。

さらに、アナログデータの利用がピクセル内に限定でき、ピクセル外への送信は全てデジタルデータとなるため、ノイズ等による検出精度の劣化を防ぐことも容易である。

【 0 0 3 7 】

本実施の形態では、ピクセル・アレイ 1 0 全体にカウント値を分配する必要があり、カウント値の分配スキューのため、ある時間のカウント値がピクセルにより異なる場合がある。

これについては、電圧－時間変換回路 1 2 への変換開始信号をカウント値の分配経路と同じ経路で分配することで、カウント値の分配が遅れるピクセル 1 では、変換開始信号の分配も同じ時間だけ遅れることになり、スキューによる分配遅延を相殺することが可能である。

【 0 0 3 8 】

〔第 5 の実施の形態〕

次に、図 6 を参照して、本発明にかかる第 5 の実施の形態について説明する。図 6 に第 5 の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態は、第 1 の実施の形態において、行ごとに設置していたラッチ回路 7 および全ピクセル 1 で共用していたカウンタ 6 を各ピクセル 1 内に、新たなラッチ回路 1 4 およびカウンタ（ピクセルカウンタ）1 5 として設置し、各ピク

セル 1 内の電圧－時間変換回路 1 2 の出力を、直接、ラッチ回路 1 4 の読み取り信号として入力し、クロック発生回路 8 の発生したクロック信号を各ピクセル 1 のカウンタ 1 5 へ分配するようにしたものである。

【 0 0 3 9 】

この場合、まず、各ピクセル 1 内のセンサ 1 1 で光等の検出が行われ、その検出出力であるアナログデータが電圧－時間変換回路 1 2 に入力される。そして電圧－時間変換回路 1 2 で変換動作を開始し、クロック発生回路 8 がクロック信号を各ピクセル 1 に分配し、各ピクセル 1 内のカウンタ 1 5 のカウント動作が開始される。

各ピクセルの電圧－時間変換回路 1 2 が H レベル信号を出力すると、ラッチ回路 1 4 がその時点でのカウント値を保持する。全てのピクセル 1 内のラッチ回路 1 4 がカウント値を保持すると、センシングが終了する。このあと、データを出力するピクセル 1 の列アドレスと行アドレスを指定することで、センサ 1 1 により検出されデジタルデータに変換された検出結果が出力される。

【 0 0 4 0 】

この実施の形態によれば、全ピクセルで並行して同時に検出からデジタルデータへの変換までが行われるため、列ごとに変換を行う方式に比べ高速な動作が実現される。また、データの出力では、行単位ではなく任意のピクセル 1 のデータを出力することも可能である。さらに、アナログデータの利用がピクセル 1 内に限定でき、ピクセル 1 外への送信は全てデジタルデータとなるため、ノイズ等による検出精度の劣化を防ぐことも容易である。また、前述した第 4 の実施の形態に比べ、全ピクセル 1 に分配するデータが、カウント値ではなくクロック信号だけとなるため、分配に必要な電力の削減が可能である。

【 0 0 4 1 】

本実施の形態も、上記第 4 の実施の形態と同様に、電圧－時間変換回路 1 2 への変換開始信号をクロック信号の分配経路と同じ経路で分配することで、クロック信号のスキューによりカウントが遅れるピクセル 1 では、変換開始信号の分配も同じ時間だけ遅れることになり、スキューによる遅延を相殺することが可能である。

【 0 0 4 2 】

〔第 6 の実施の形態〕

次に、図 7 を参照して、本発明にかかる第 6 の実施の形態について説明する。

図 7 に第 6 の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態は、第 1 の実施の形態において、行ごとに設置していたラッチ回路 7 を削除し、全ピクセル 1 で共用していたカウンタ 6 を各ピクセル 1 内に新たなカウンタ 1 5 として設置したものである。そして、クロック発生回路 8 が発生したクロック信号を各ピクセルへ分配し、各ピクセル 1 内の電圧－時間変換回路 1 2 の出力と分配されたクロック信号とを AND 回路 1 6 に入力し、この AND 回路 1 6 の出力を各ピクセル 1 内のカウンタへクロック信号として入力するようにしたものである。

【 0 0 4 3 】

AND 回路 1 6 は、電圧－時間変換回路 1 2 からの信号が L レベル信号である時は、入力されたクロック信号をそのまま出力し、電圧－時間変換回路 1 2 からの信号が H レベル信号である時は、L 信号を出力する回路である。

この場合、まず、各ピクセル 1 内のセンサで光等の検出が行われ、その結果であるアナログデータが電圧－時間変換回路 1 2 に入力される。そして、電圧－時間変換回路 1 2 で変換動作を開始し、クロック発生回路 8 がクロック信号を発信し各ピクセル 1 に分配する。

【 0 0 4 4 】

各ピクセル 1 において、電圧－時間変換回路 1 2 の出力が L レベル信号である間は、分配されたクロック信号がそのままカウンタ 1 5 に入力され、カウンタ 1 5 はそのカウント動作を行う。各ピクセル 1 の電圧－時間変換回路 1 2 が H レベル信号を出力すると、カウンタ 1 5 には L レベル信号が入力され、カウント動作が停止する。

すべてのピクセル 1 内のカウンタ 1 5 でカウント動作が停止すると、センシングが終了する。このあと、データを出力するピクセルの列アドレスと行アドレスを指定することで、そのピクセル内のカウンタが出力するカウント値が、検出されデジタルデータとして出力される。

【 0 0 4 5 】

この実施の形態によれば、全ピクセル 1 で並列して同時に検出からデジタルデータへの変換までが行われるため、列ごとに変換を行う方式に比べ高速な動作が実現される。また、データの出力では、行単位ではなく任意のピクセル 1 のデータを出力することも可能である。さらに、アナログデータの利用がピクセル 1 内に限定でき、ピクセル 1 外への送信は全てデジタルデータとなるため、ノイズ等による検出精度の劣化を防ぐことも容易である。

また、第 4 の実施の形態に比べ、全ピクセルに分配するデータが、カウント値ではなくクロック信号だけとなるため、分配に必要な電力の削減が可能である。また、第 5 の実施の形態に比べ、ピクセル 1 内の素子数を削減でき、より小さなピクセル 1 の実現が可能となる。

【 0 0 4 6 】

本実施の形態も、第 4 の実施の形態と同様に、時間－電圧変換回路 1 2 への変換開始信号をクロック信号の分配経路と同じ経路で分配することで、クロック信号のスキューによりカウントが遅れるピクセル 1 では、変換開始信号の分配も同じ時間だけ遅れることになり、スキューによる遅延を相殺することが可能である。

【 0 0 4 7 】

[第 7 の実施の形態]

次に、発明にかかる第 7 の実施の形態について説明する。

上記第 1 の実施の形態では、電圧－時間変換回路 1 2 の動作開始とカウンタ 6 のカウント動作の開始とを同時に行う場合について説明したが、本実施の形態では、電圧－時間変換回路 1 2 の動作開始とカウント動作の開始とをずらすことにより、出力データに任意のオフセットを付けるようにしたものである。

具体的には、電圧－時間変換開始よりもカウント開始を遅らせた場合、マイナスのオフセット（実際の出力よりも小さな値にする）が付けられ、逆に、カウントを先に行った場合プラスのオフセット（実際の出力よりも大きな値にする）を付けることが可能である。

【 0 0 4 8 】

これにより、A/D変換器の感度調節に対応する変換精度の調節が容易に実現でき、出力データのデータ幅を有効に利用することが可能となる。なお、本実施の形態では、カウンタにグレイカウンタ等、カウント動作時のデータ変化量が小さいカウンタを用いることで高速化や低消費電力化も可能である。

また、本実施の形態は、上記第1の実施の形態だけでなく、カウンタ6やカウンタ15を用いる上記各実施の形態にも同様にして適用できる。また、カウンタ6に代えてクロック発生回路8を用いる場合には、そのクロック発生回路8から出力するクロック信号の出力開始タイミングを制御するようにしてもよい。

【0049】

[第8の実施の形態]

次に、図8を参照して、本発明にかかる第8の実施の形態について説明する。図8に第8の実施の形態にかかるデータ変換・出力装置のブロック図を示す。

本実施の形態では、上記第1の実施の形態において、カウンタ6のカウント動作を制御するカウント制御回路6Bを追加したものであり、そのほかについては第1の実施の形態と同様である。

ただし、カウンタ6がカウント値を増加させるとき、カウント制御回路6Bがカウント値増加の傾きを任意に調節することが可能である。これにより、アナログデータをデジタルデータに変換する時、その変換の感度を、変換するアナログ値の領域ごとに任意に調節することが可能となる。

【0050】

本実施の形態の具体的な動作を図9に示す。図9の例では、カウント値の増加量を変換開始からある時間までは小さくし、その後増加量を大きくし、再び増加量を小さくしている。このようにカウンタの動作速度を調節することで、センサ11の出力する電圧がある領域より小さい場合や大きい場合は感度を低く設定し、多くのセンサ11が出力する中間電圧付近で変換感度を高くし、この領域での解像度を高めることが可能となる。

これにより、任意の領域で解像度を調節でき、カウンタ6のデータ幅を増やすことなく、高感度なデジタルデータへの変換が実現可能となる。

【0051】

本実施の形態は、上記第 1 の実施の形態だけでなく、カウンタ 6 を用いる上記各実施の形態にも同様にして適用できる。また、カウンタ 1 5 を用いる場合は、各ピクセル 1 内にそれぞれカウント制御回路を設けても良い。

さらに、カウンタ 6 に代えてクロック発生回路 8 を用いる場合には、カウント制御回路 6 B により、そのクロック発生回路 8 から出力するクロック信号の周波数を切り替え制御するようにしてもよい。例えば、クロック信号の周波数を変換開始からある時間までは比較的低くし、その後周波数を比較的高くし、再び低くすれば、図 9 と同様の作用効果が得られる。

【 0 0 5 2 】

【発明の効果】

以上説明したように、本発明は、各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、各行ごとに設けられ、当該行に対応するデータバスのレベル変化に応じてカウンタからのカウント値を保持する複数のラッチ回路と、列デコーダで選択された各ピクセルのうち所望のピクセルが配置されている行を選択する行デコーダと、各行ごとに設けられ、行デコーダによる当該行の選択に応じて、当該行に対応するラッチ回路で保持されているカウント値を所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、各ピクセルに、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点からセンサの出力電圧値に応じた時間だけ経過した後に出カレベルを変化させる電圧－時間変換回路と、列デコーダによる当該ピクセルの選択に応じて電圧－時間変換回路の出力を当該ピクセルに接続されているデータバスに出力する列スイッチとを設けたものである。

【 0 0 5 3 】

また、各ピクセルのうち任意の列に配置された複数のピクセルを一括して選択する列デコーダと、各ピクセルのうち各行に配置された複数のピクセルに共通して接続された複数のデータバスと、内部のカウント動作に応じてそのカウント値を順次出力するカウンタと、列デコーダで選択された各ピクセルのうち所望のピ

クセルが配置されている行を選択する行デコーダと、各行ごとに設けられ、行デコーダによる当該行の選択に応じて、当該データバスへ出力されているカウント値を所望のピクセルでのセンシングデータとして出力する複数の行スイッチとを備え、各ピクセルに、その検出結果を出力電圧値として出力するセンサと、所定の変換動作開始時点からセンサの出力電圧値に応じた時間だけ経過した後に出力レベルを変化させる電圧－時間変換回路と、この電圧－時間変換回路による出力レベル変化に応じてカウンタからのカウント値を保持するラッチ回路と、列デコーダによる当該ピクセルの選択に応じてラッチ回路の出力を当該ピクセルに接続されているデータバスに出力する列スイッチとを設けたものである。

【 0 0 5 4 】

このように、電圧－時間変換回路とカウント値を保持するラッチ回路とを組み合わせることで、各ピクセルからデータバスを介して長距離伝搬する信号をHまたはLレベルの1ビットデジタル信号とすることが可能となり、ノイズ等の影響による精度の劣化を防ぐことが可能となる。

また、従来のように比較回路のための基準信号等が不要であり、カウンタはピクセル・アレイ10とは独立して動作させることができるため、その最大値やカウント値増加の傾きを任意に調節可能であり、高解像度、広ダイナミックレンジのデータ変換が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図2】 第1の実施の形態の動作を示す説明図である。

【図3】 本発明の第2の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図4】 第2の実施の形態の動作を示す説明図である。

【図5】 本発明の第3の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図6】 本発明の第4の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図 7】 本発明の第 5 の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図 8】 本発明の第 6 の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図 9】 本発明の第 7 の実施の形態にかかるデータ変換・出力装置を示すブロック図である。

【図 1 0】 センサアレイを示す説明図である。

【図 1 1】 従来のデータ変換・出力装置（第 1 の従来例）を示すブロック図である。

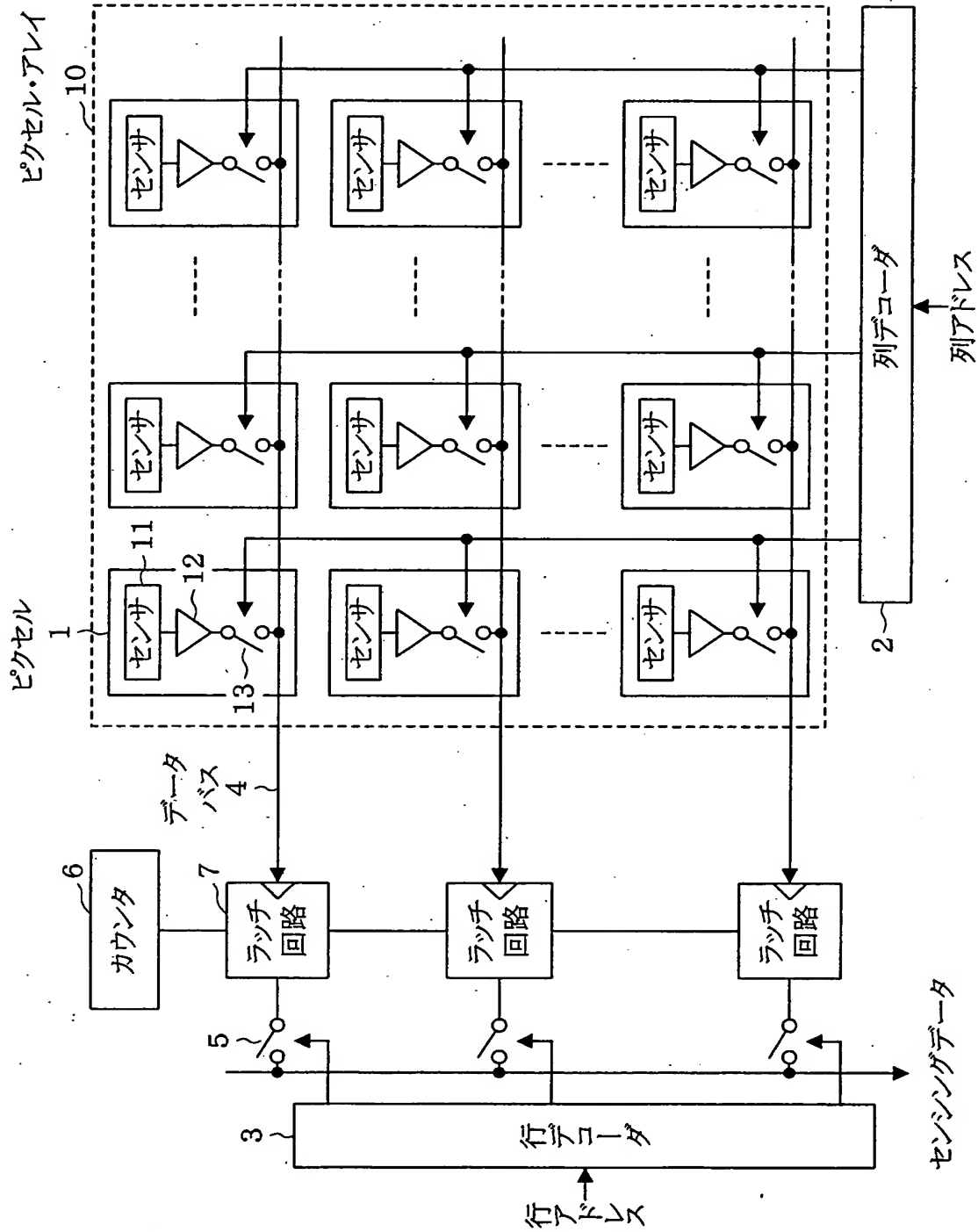
【図 1 2】 従来の他のデータ変換・出力装置（第 2 の従来例）を示すブロック図である。

【符号の説明】

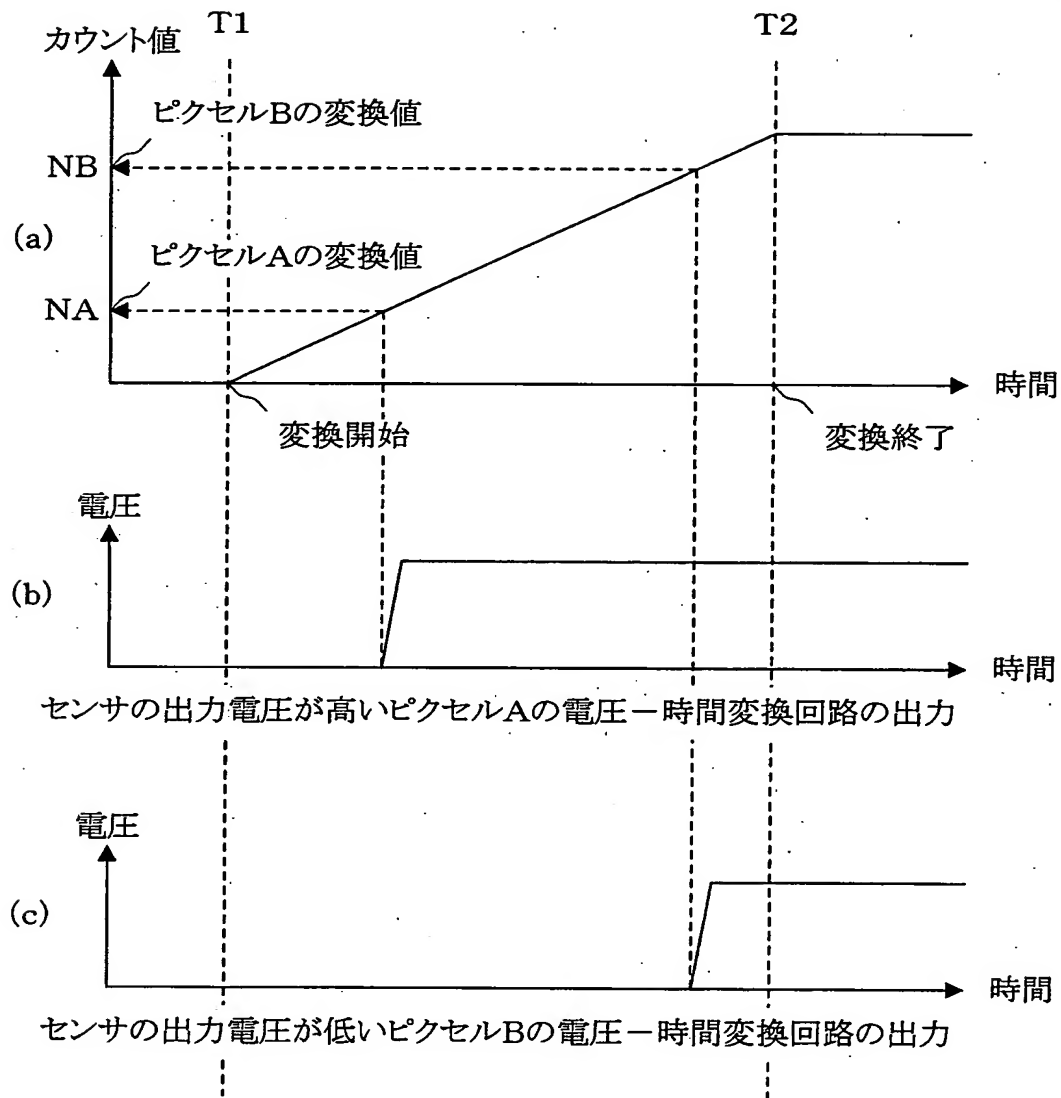
1 …ピクセル、1 0 …ピクセル・アレイ、1 1 …センサ、1 2 …電圧－時間変換回路、1 3 …スイッチ、1 4 …ラッチ回路、1 5 …カウンタ、1 6 …AND 回路、2 …列デコーダ、3 …行デコーダ、4 …データバス、5 …スイッチ、6, 6 A …カウンタ、6 B …カウント制御回路、7 …ラッチ回路、7 A …前段ラッチ回路、7 B …後段ラッチ回路、8 …クロック発生回路、9 …AND 回路。

【書類名】 図面

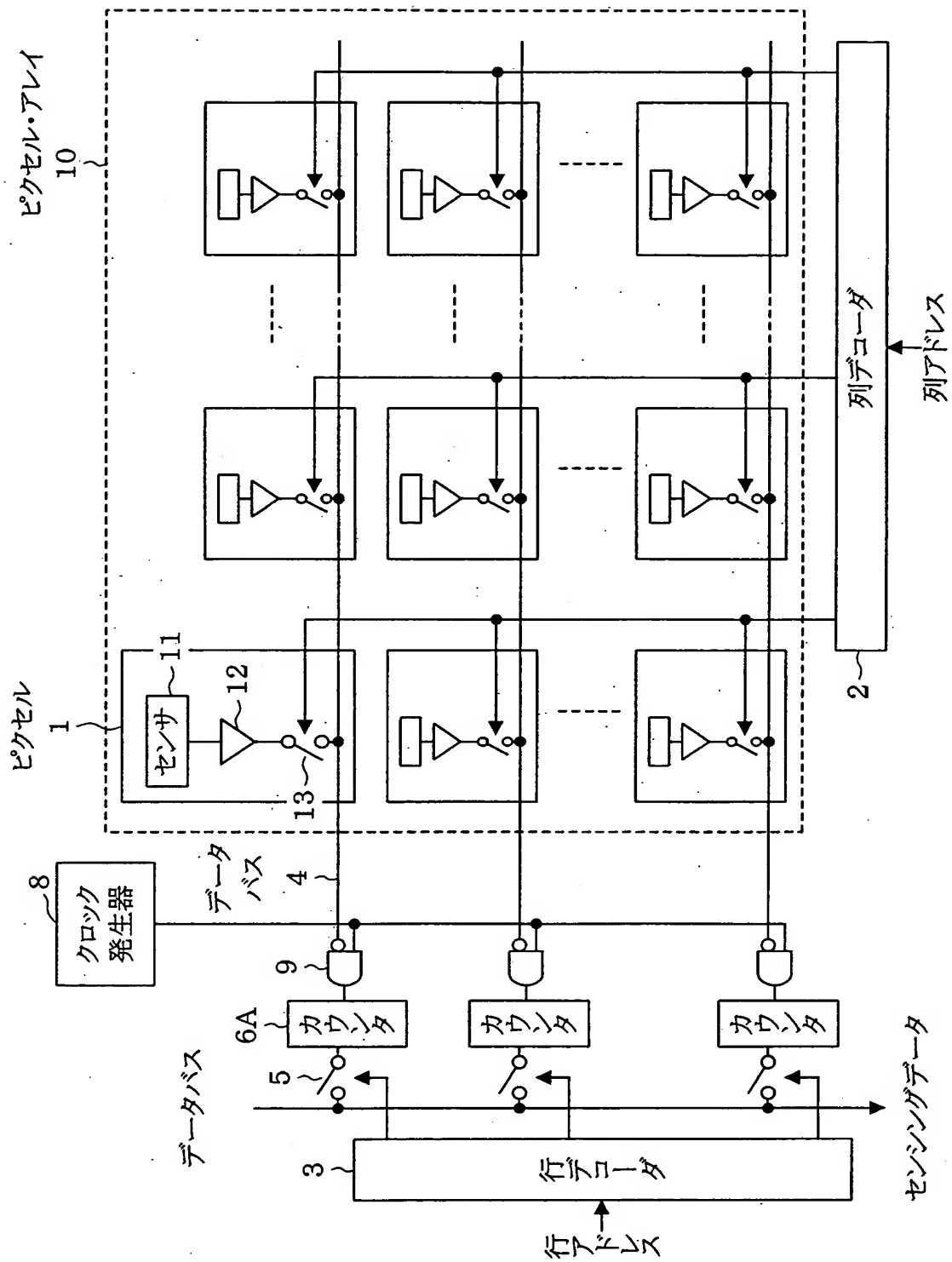
【図 1】



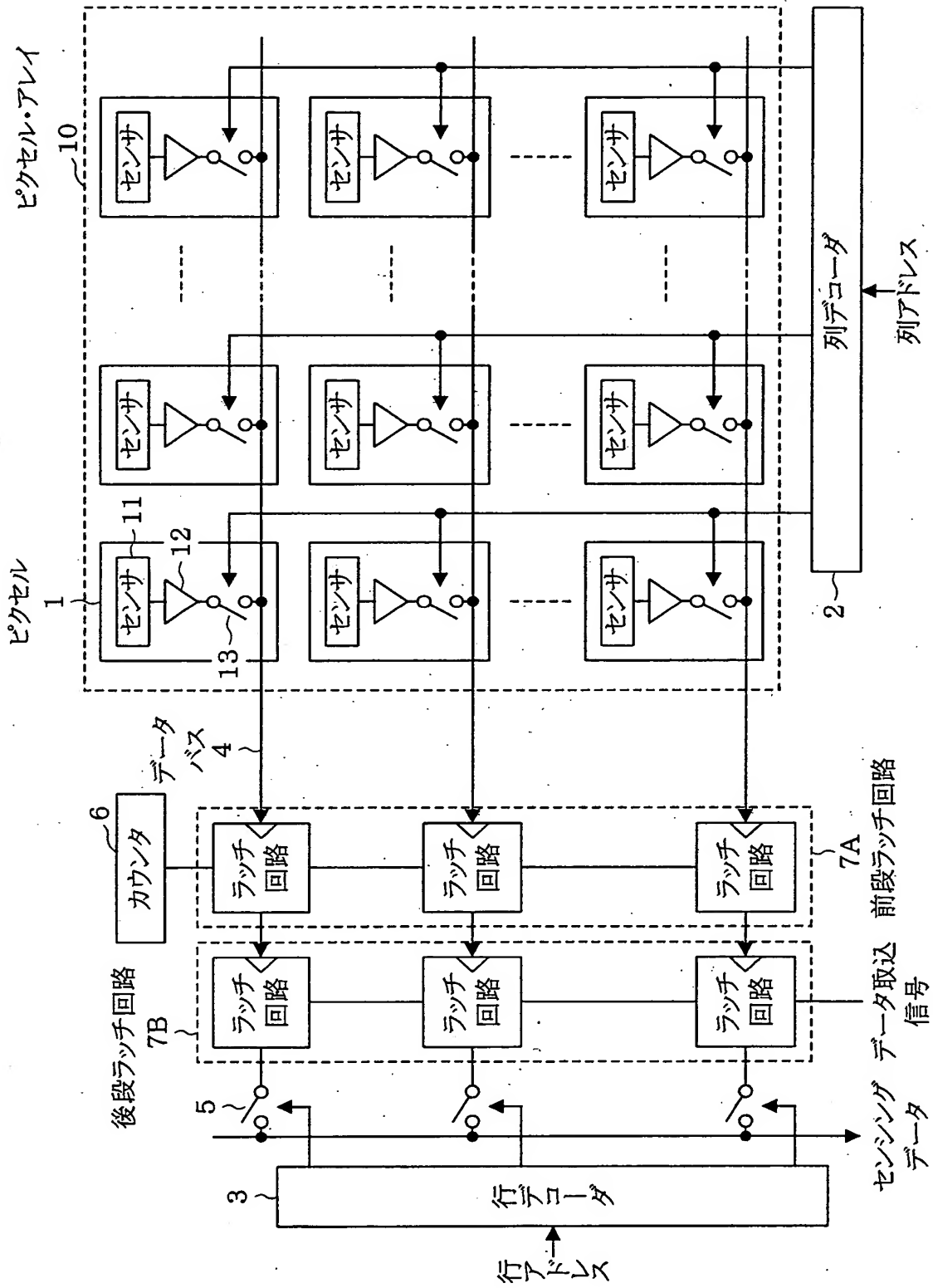
【図 2】



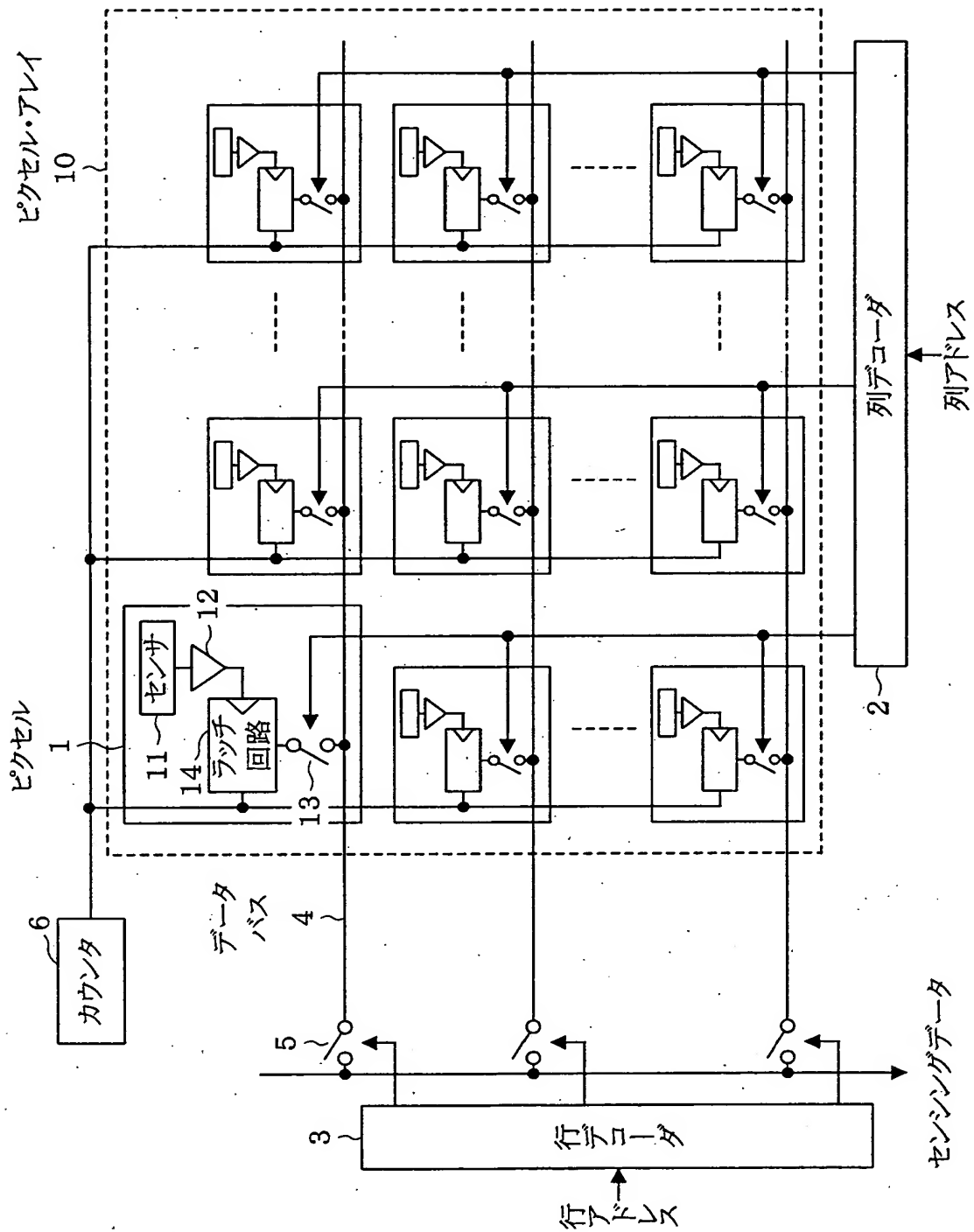
【図 3】



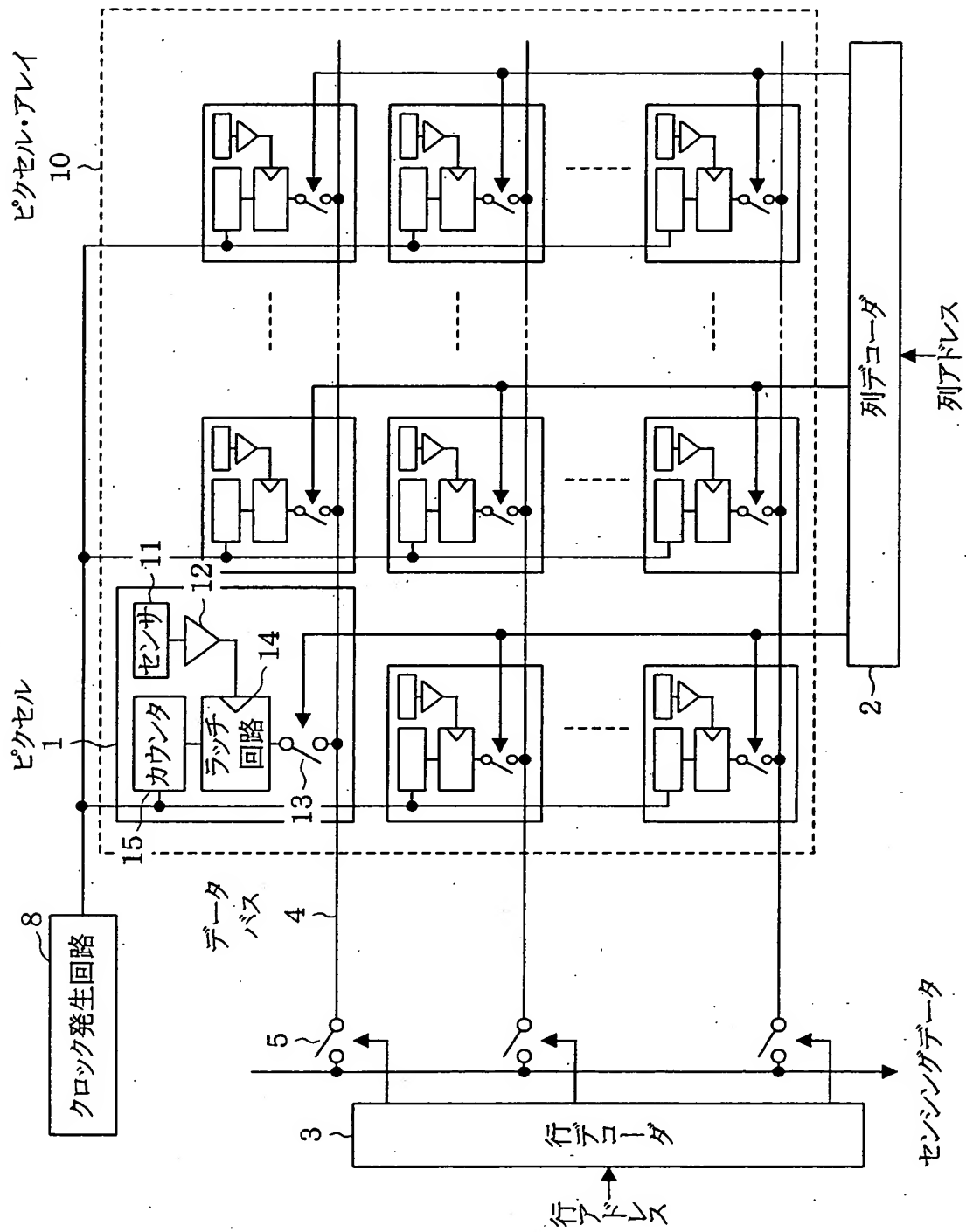
【図 4】



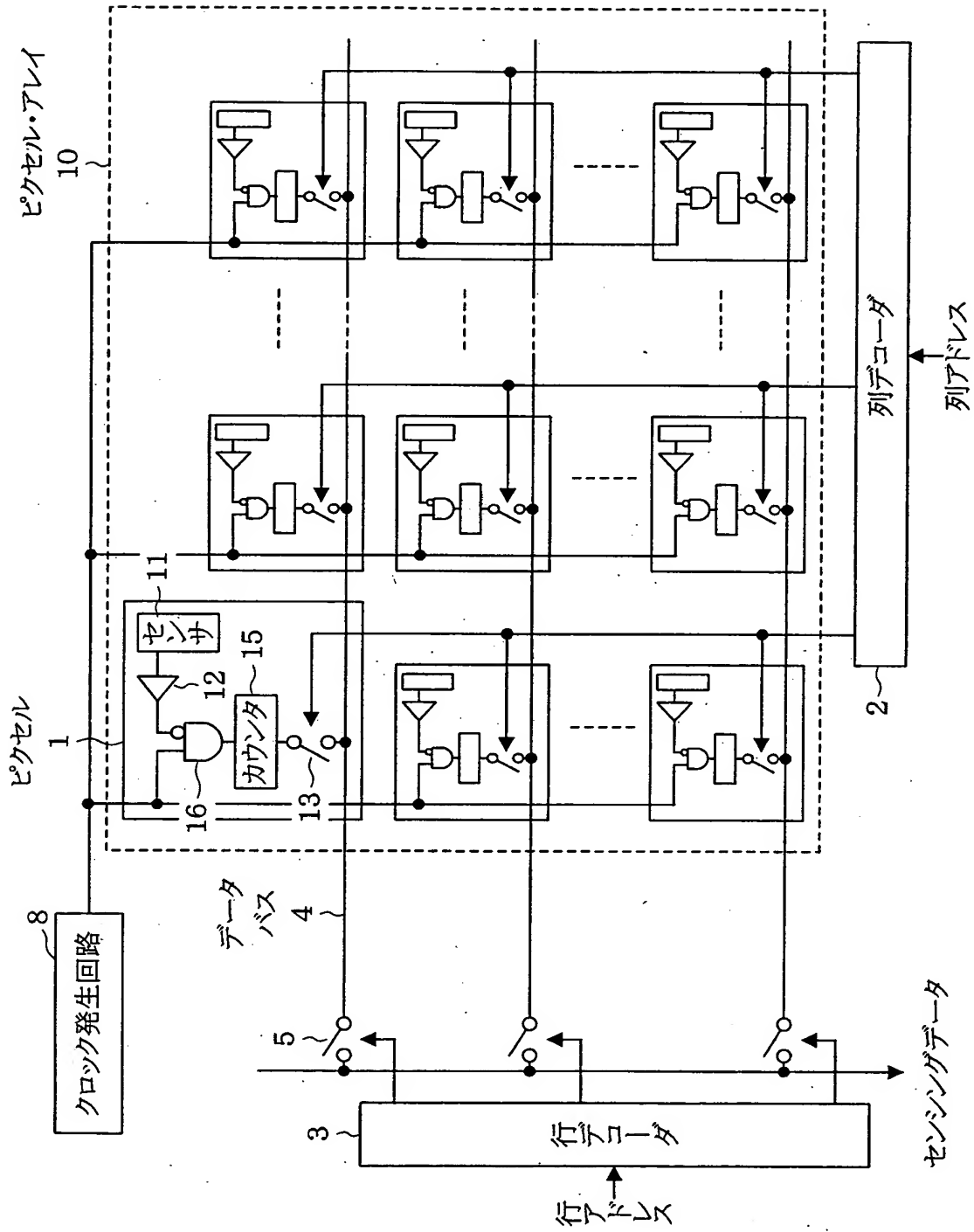
【図5】



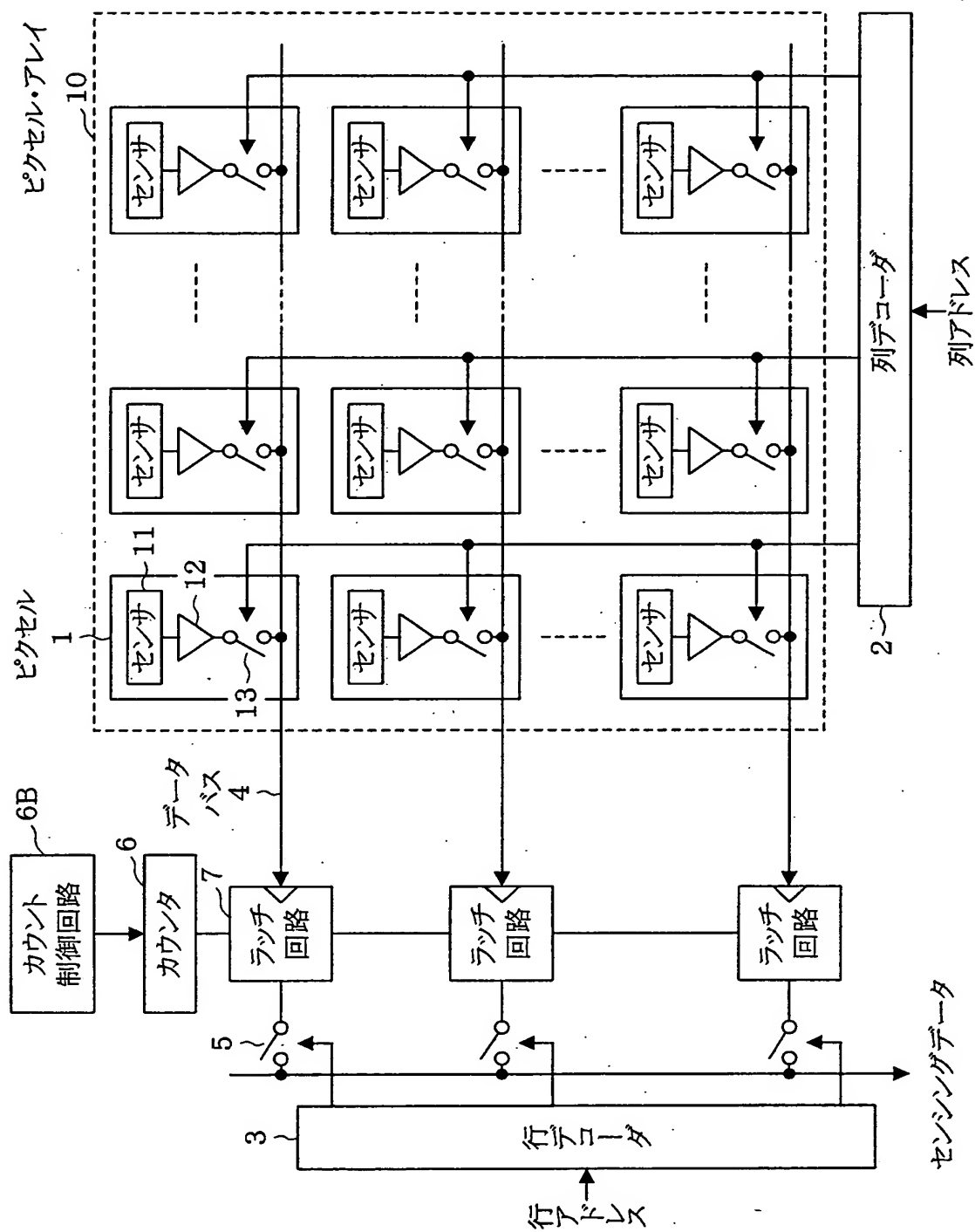
【図6】



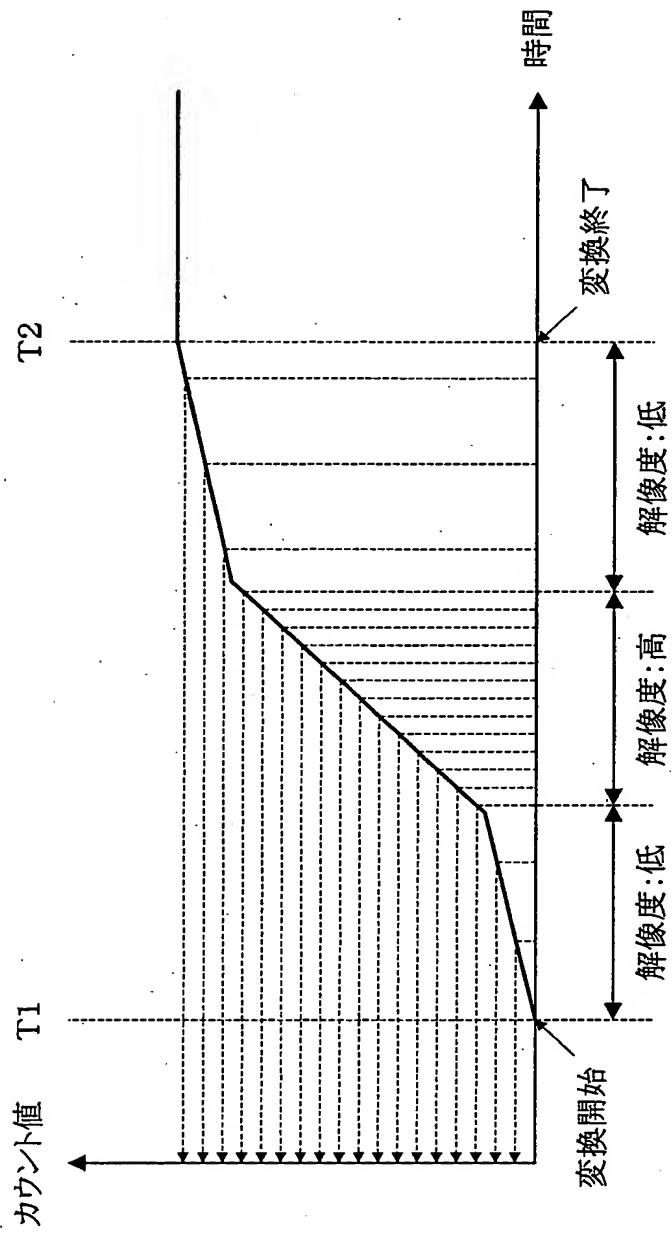
【図7】



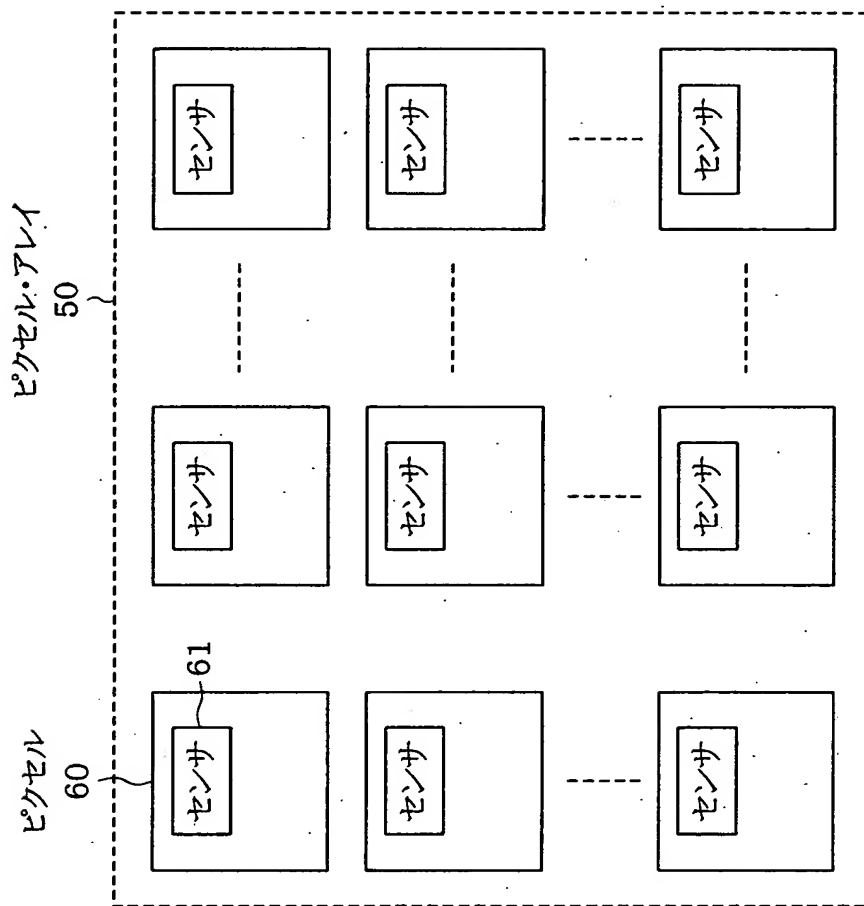
【図 8】



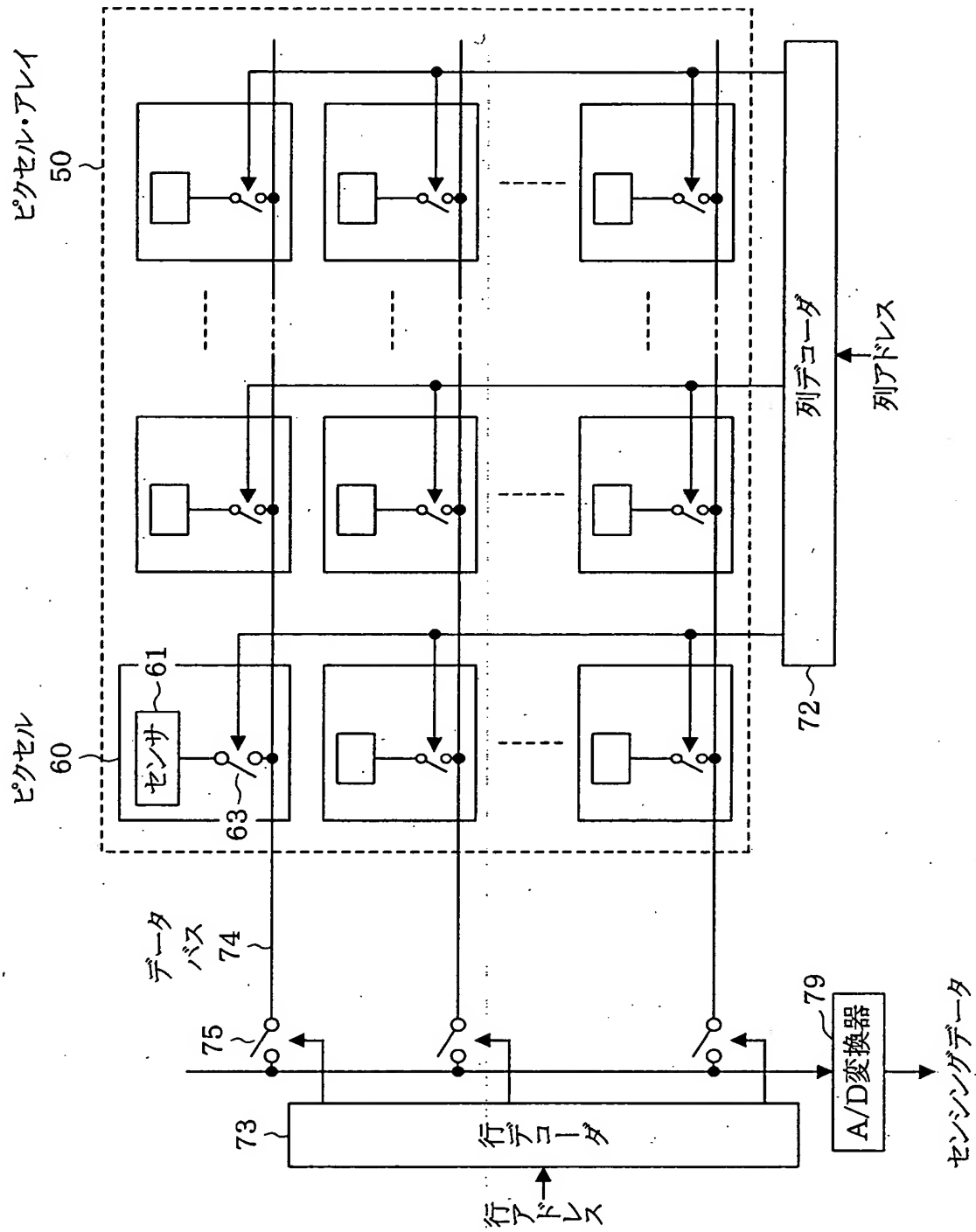
【図9】



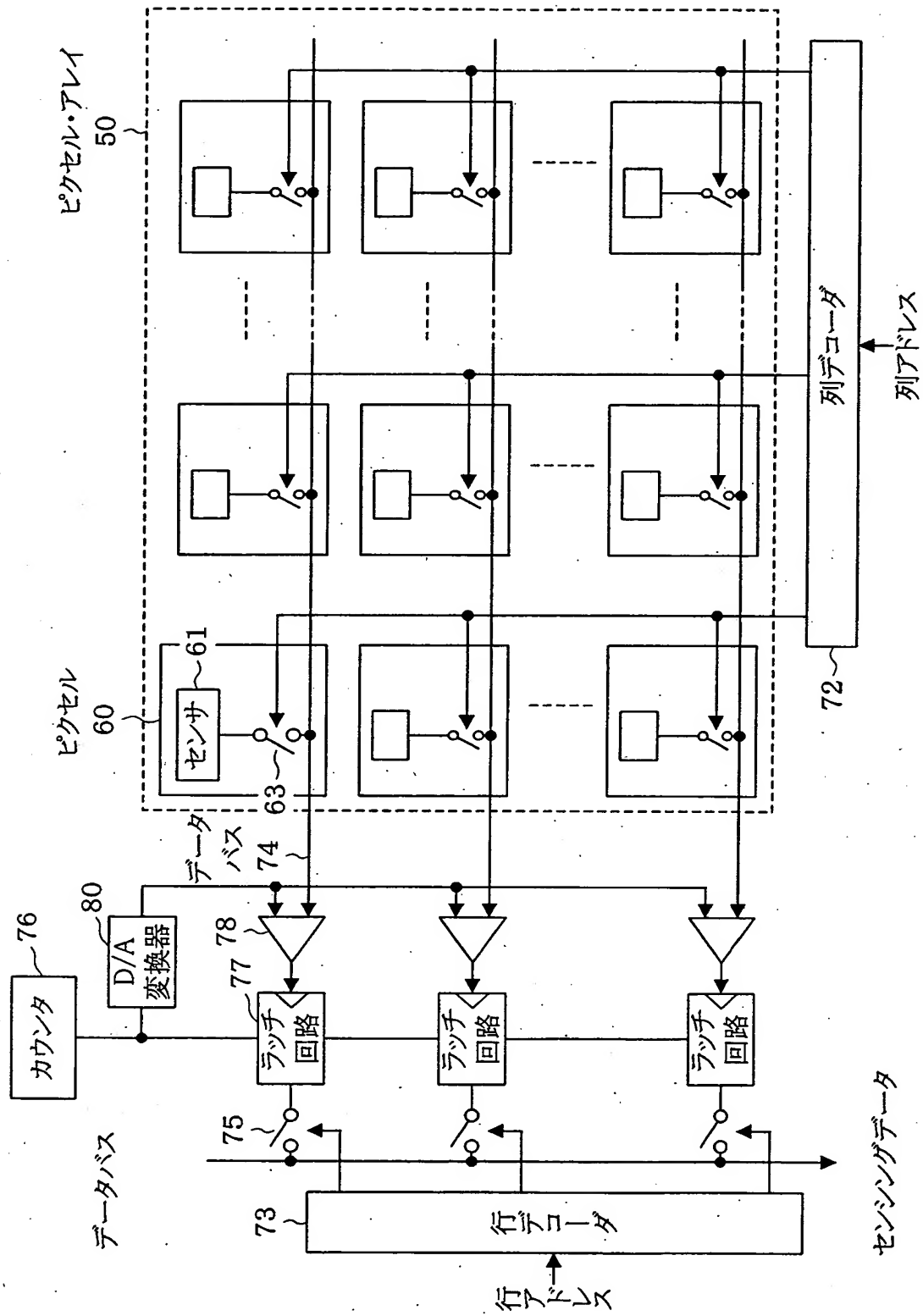
【図 10】



【図11】



【图 1 2】



【書類名】 要約書

【要約】

【課題】 センサ出力に対してノイズ等の影響による精度の劣化を防ぐことができ、また高速、高精度、広ダイナミックレンジでデジタルデータに変換して出力できるようにする。

【解決手段】 カウンタ 6 のカウント動作開始と同時に、選択された列のピクセル 1 内の電圧－時間変換回路 1 2 が動作を開始し、センサ 1 1 の出力電圧に対応した遅延時間に、電圧－時間変換回路 1 2 の出力が L から H にレベル変化する。このレベル変化は、スイッチ 1 3 からデータバス 4 を介してラッチ回路 7 へ入力され、H レベルに変わった時点でのカウンタ 6 の出力するカウント値が保持される。そして、行デコーダ 3 により選択された行のスイッチ 5 がオンとなり、その行のラッチ回路 7 に保持されたカウント値がデジタル化したセンシングデータとして出力される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社